

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-192425

(43)Date of publication of application : 22.08.1991

(51)Int.Cl.

G06F 3/06

G06F 11/18

(21)Application number : 01-331307

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.12.1989

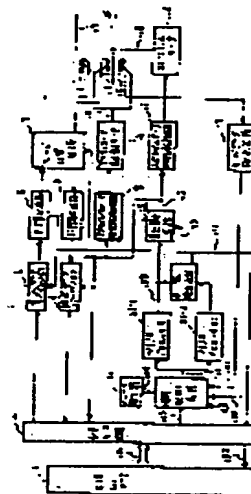
(72)Inventor : OYAMA MITSUO  
TOYODA MITSURU  
KAMO YOSHIHISA  
OGINO AKITO  
TAKEUCHI RYUICHI

## (54) DISK DRIVING DEVICE

### (57)Abstract:

**PURPOSE:** To suppress the influence of malfunction to a minimum and to improve the reliability of a disk driving device by synchronously operating plural microprocessors, executing the same program, collating results and suppressing write to a disk when the collated results are discordant.

**CONSTITUTION:** Two microprocessors 23-1 and 23-2 are synchronously operated and execute the same program. At a data write cycle, a discordance detection circuit compares the data and the addresses respectively outputted from the two microprocessors 23-1 and 23-2 and generates a data write inhibiting signal 110 in the case of discordance. When the write inhibiting signal 110 is at a low level, a write inhibiting circuit 25 masks a write strobe signal and inhibits a data write operation at the relevant cycle. Thus, since the microprocessor is duplexed and the malfunction of the microprocessor is detected early, the influence of the malfunction can be suppressed to a minimum.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-192425

⑬ Int.Cl.<sup>3</sup>

G 06 F 3/06  
11/18

識別記号

3 0 5 A  
3 1 0 C  
3 1 0 E

庁内整理番号

6711-5B  
9072-5B  
9072-5B

⑭ 公開 平成3年(1991)8月22日

審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 ディスク駆動装置

⑯ 特 願 平1-331307

⑰ 出 願 平1(1989)12月22日

⑱ 発 明 者 大 山 光 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 豊 田 満 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 加 茂 善 久 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 荻 野 昭 人 神奈川県小田原市国府津2880番地 株式会社日立製作所小田原工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

ディスク駆動装置

2. 特許請求の範囲

1. マイクロプロセッサを内蔵するディスク駆動装置において、

バスサイクルレベルで同期して動作し、同一プログラムを実行する複数のマイクロプロセッサと、該複数マイクロプロセッサの同期を確立し、維持する手段と、該複数マイクロプロセッサのデータライトサイクルにおいて、該複数マイクロプロセッサから出力される書き込みデータを比較検出する手段と、書き込み先アドレスを比較検出する手段と、比較結果に不一致がある場合は、該書き込みデータの上記ディスク駆動装置への書き込みを禁止する手段と、比較結果に不一致があることを上位コントローラに通知する手段とを設けたことを特徴とするディスク駆動装置。

2. 上記複数マイクロプロセッサに対し、多数決

論理手段を付加したことを特徴とするディスク駆動装置。

3. 請求項2記載のディスク駆動装置において一致するデータまたはアドレスがない時に不一致状態として検出する手段を有することを特徴とするディスク駆動装置。

4. 請求項2に記載のディスク駆動装置において不一致データに対応したプロセッサを識別する手段と上記識別結果を蓄積するメモリ手段と上記メモリ内情報を外部へ転送する手段を有することを特徴とするディスク駆動装置。

5. 請求項1記載のディスク駆動装置を用い、上記複数のマイクロプロセッサに異なった診断プログラムを実行させて、機能を診断することを特徴とするディスク駆動装置の診断方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、マイクロプロセッサを内蔵する磁気ディスク駆動装置、光ディスク駆動装置などディスク駆動装置の高信頼化に関する。

## 〔従来の技術〕

従来、ディスク駆動装置は、機構制御部、データ書き込み回路、データ読みだし回路からなり、ディスクを回転させ、アクチュエータを制御してヘッドを移動させ、データを読み書きする基本機能のみを有していた。しかし、ディスクの容量が増大し、スループットの改善、高機能化が追求された結果、小型、低コストでその機能を実現するため、ディスク駆動装置にマイクロプロセッサが内蔵されるようになってきた。マイクロプロセッサを内蔵するディスク駆動装置の構成については、例えば、日経エレクトロニクス1989年2月9日号第211頁から第221頁に述べられている。また、ディスク駆動装置に書き込みデータバッファメモリ、読みだしデータバッファメモリを内蔵してスループットの改善を図る方式が電子通信学会論文誌1984年11月号第1301頁から第1308頁に述べられている。このなかで、読みだしデータバッファメモリはRPS (Rotational Position Sensing) ミスによるスループットの

ディスクへのデータの書き込み、読みだしを制御する。

## 〔発明が解決しようとする課題〕

本発明の目的は、マイクロプロセッサを内蔵するディスク駆動装置の高信頼化にある。そこで信頼性の点から見た従来のディスク駆動装置の課題について述べる。

マイクロプロセッサを内蔵せず基本的機能のみを有するディスク駆動装置では、シーク動作のエラーは読みだしたデータのIDを調べることにより、またデータの誤りは誤り検出訂正符号により、ディスク駆動装置内あるいは上位コントローラで検出訂正することができる。したがってディスク駆動装置の誤動作による誤ったデータがそのまま上位コンピュータで使われる可能性は極めて小さい。

しかしマイクロプロセッサを内蔵し、書き込みデータバッファメモリ、読みだしデータバッファメモリを内蔵するディスク駆動装置では、マイクロプロセッサの信頼性が、ディスク駆動装置の信

低下を防ぎ、さらにキャッシュメモリの性格を持つものである。

第7図に従来のディスク駆動装置のブロック図を示す。第7図において、1は上位コントローラでありホストコンピュータがその機能を兼ねることもある。ディスク駆動装置は、インタフェース回路2により制御バス101を介して上位コントローラ1に接続され、シーク、データ書き込み、データ読みだし等のコマンドを受取って実行する。23はディスク駆動装置に内蔵される制御用マイクロプロセッサであり、インタフェース回路を介して受け取るコマンドを解釈して、ディスク駆動装置内の各部を制御する。具体的には、スピンドルモータ制御・駆動回路15を制御することによりディスク19、20の回転を制御し、サーボデータ読みだし回路17の出力をもとにアクチュエータ制御駆動回路8に制御信号を与え、ヘッドの位置を制御する。さらに、ヘッド切り替え回路によりヘッドを選択し、書き込みデータバッファメモリ、読みだしデータバッファメモリを制御し、

信頼性を保つ上で極めて重要になる。例えば、第7図においてマイクロプロセッサ23が、上位コントローラ1からのコマンドの解釈を誤り、読みだしコマンドを書き込みコマンドとして実行するとディスクに格納されたデータを破壊することになる。また、書き込みデータバッファメモリ3、読み出しデータバッファメモリ4は、やはりマイクロプロセッサ23によつて制御される。マイクロプロセッサ23は、制御テーブルを持ちバッファメモリを制御することになるが、このとき制御テーブルへのデータの読み書きに誤りがあると、上位コントローラに誤ったデータを送つたり、ディスクに誤ったデータを書き込む可能性が大きく、これらの誤動作は、上位コントローラなど上位装置で検出することが難しい場合がある。

以上に述べたように、ディスク駆動装置の高信頼化を達成するためには、内蔵されるマイクロプロセッサの誤動作をゼロにしたいが、故障の発生の可能性に加えて、劣化によるマージンの低下、電源に乘るノイズや信号線に乘るノイズ、さらに

はアルファ線の影響により偶発的に誤動作する可能性があり、マイクロプロセッサの誤動作をゼロにすることはできない。したがって、マイクロプロセッサの誤動作を早期に確実に検出し、誤動作の影響を最小限に押さえることが、ディスク駆動装置の高信頼化を実現する上で重要であり、本発明の目的もここにある。

〔課題を解決するための手段〕

以上に説明した目的を達成するには、本発明では、

- ① 複数のマイクロプロセッサを同期して動作させ、同一プログラムを実行させて結果を照合し、照合結果が不一致の場合は制御系へ結果の書き込みを禁止し、ディスクへの書き込みをも抑止し、上位コントローラに通知する手段を設けた（たとえば割込み手段とかステータス情報として上位に知らせる）。
- ② 3台以上のマイクロプロセッサを同期して動作させ、同一プログラムを実行させて結果を多数決によって決定する手段を設け、多数決によ

禁止し、ディスクへの書き込みを抑止するので、マイクロプロセッサの誤動作の影響を最小限に押さえることができる。

さらに3台以上のマイクロプロセッサの多重化により、そのうちの1台のマイクロプロセッサが誤動作した場合でも、多数決で出力を決定してディスク駆動装置として動作を継続できる。また、上位コントローラは、メモリに蓄積した識別結果を読みだして、統計的手法により誤動作したマイクロプロセッサを判別できる。この結果、ディスク駆動装置のメンテナンスが容易となる。

また、④の手段によれば、上位コントローラは診断モードを利用して、ディスク駆動装置に内蔵される複数のマイクロプロセッサの出力相互間に、故意に不一致を起こすことが可能となるので、不一致検出回路、多数決回路、不一致検出に伴う処理機能を診断することができる。

〔実施例〕

本発明の第一の実施例を第1図から第6図を用

つて決定できない場合は、結果の書き込みを禁止し、ディスクへの書き込みを抑止し、上位コントローラに通知する手段を設けた。

- ③ 多数決によって結果が決定できる場合であっても、すべての結果が一致しない場合は、多数決論理により決定される結果と異なる結果を出力するマイクロプロセッサを識別して上位コントローラに通知する手段を設け、さらにその識別結果を蓄積するためのメモリと、上位コントローラから該メモリを読みだす手段を設けた。
- ④ ディスク駆動装置に診断モードを設け、診断モードでは、各マイクロプロセッサからの出力値を故意に異ならせることにより、不一致検出機能、あるいは多数決回路の診断を可能とした。

〔作用〕

2台のマイクロプロセッサが同時に誤動作し、しかも誤動作の結果、同一データを出力することは極めて稀であるので、ほぼすべての誤動作を検出でき、結果が不一致の場合、結果の書き込みを

いて説明する。

第1図において1はディスク駆動装置を制御するための上位コントローラでありホストコンピュータがその機能を兼ねることもある。2はディスク駆動装置側のインタフェース回路であり、制御バス101を介して上位コントローラ1からコマンドを受取り、さらに上位コントローラ1との間でデータ、ステータスの授受を行う。19、20は情報が記録されるディスク、16はディスクを回転させるためのスピンドルモータ、15はスピンドルモータの制御・駆動回路、11、13はデータの書き込み、読みだしをおこなうための磁気ヘッド、14はサーボ制御用データを読みだすための磁気ヘッド、9は磁気ヘッド11、13、14をマウントしたアクチュエータを駆動するアクチュエータ駆動モータ、8はアクチュエータモータ制御・駆動回路、7はヘッドを選択し、切り替えるためのヘッド切り替え回路、5は変調回路やライトアンプ等からなるデータ書き込み回路、6はリードアンプ、パルス化回路、復調回路等か

らなるデータ読みだし回路、3は書き込みデータを一時蓄えるための書き込みデータバッファメモリ、4は読みだしたデータを一時蓄えるための読みだしデータバッファメモリ、23-1、23-2は同期して動作する制御用マイクロプロセッサ、21はマイクロプロセッサに供給するクロックを発生するクロック発生器、22は二つのマイクロプロセッサ23-1と23-2の同期を確立し、維持するための同期制御回路、24はマイクロプロセッサ23-1と23-2のデータ書き込みサイクルにおいて、二つのマイクロプロセッサから出力されるデータとアドレスをそれぞれ比較し、不一致の場合は不一致フラグとデータ書き込み禁止信号を生成するための不一致検出回路である。

第1図において、マイクロプロセッサ23-1、23-2は上位コントローラ1から制御バス101を介しインタフェース回路2を経てコマンドを受け取り、受け取ったコマンドを解釈して、スピンドルモータ制御・駆動回路15、アクチュエータモータ制御・駆動回路8、ヘッド切り替え回路7、

れることにより動作を開始する。このとき2台のマイクロプロセッサに共通に供給されるクロック105-1に対してリセット信号105-2が十分なセットアップ時間、ホールド時間を持つて解除されれば2台のマイクロプロセッサは同一タイミングでスタートするので動作開始時の同期が確立される。リセット制御回路30はクロック発生器21が発生するクロック104と、クロック104とタイミング関係の保証されないリセット信号103-1を入力として2台のマイクロプロセッサに共通に供給されるクロック105-1と、クロック105-1に対して十分なセットアップ時間、ホールド時間を持つリセット信号105-2を出力する。

次に、確立した同期が崩れる要因としては、マイクロプロセッサに供給されるクロックに対して非同期に入力される割込み、マイクロプロセッサのリードストロープに対してセットアップ時間、ホールド時間が十分でないリードデータがある。2台のマイクロプロセッサが異なるマシンサイク

書き込みデータバッファメモリ3、読みだしデータバッファメモリ4などの必要部分を制御しながらコマンドを実行する。

ここで2台のマイクロプロセッサ23-1、23-2はバスサイクル、すなわちマシンサイクルレベルで同期して動作し、同一プログラムを実行する。同期制御回路22は2台のマイクロプロセッサの動作開始時に同期を確立し、その後の同期を維持するための回路であり、その出力105は2台のマイクロプロセッサに共通に入力される。第2図に同期制御回路22の回路構成を示す。第2図において30はマイクロプロセッサに供給するリセット信号のタイミングを制御するリセット制御回路、31はマイクロプロセッサに入力する割込みをラッチするラッチ回路、32はマイクロプロセッサが読み込むデータをラッチするためのラッチ回路であり、第3図は第2図に示す回路の動作を説明するためのタイミングチャートを示す図である。マイクロプロセッサは通常マイクロプロセッサに入力されているリセット信号が解除さ

ルで割込みを受け付けると同期が崩れるので、割込みはクロック105-1に対して十分セットアップ時間、ホールド時間を確保してマイクロプロセッサに入力されなければならない。ラッチ回路31はクロックに対してタイミング関係の保証されない割込みをクロック105-1のタイミングでラッチし、クロック105-1に対して十分セットアップ時間、ホールド時間を確保してマイクロプロセッサ23-1、23-2に入力する。また、マイクロプロセッサのリードストロープに対してリードデータのセットアップ時間、ホールド時間が十分でないと、2台のマイクロプロセッサが同一リードバスサイクルでそれぞれ異なるデータを読み込む場合があり、同期が崩れる要因となる。このようなことは例えば、フラグセンス動作などで起きうる。ラッチ回路32はこのようなデータを一旦リードストロープ222の前縁でラッチし、リードストロープ222に対して十分セットアップ時間が確保されたリードデータ105-5、105-6として2台のマイクロプロセッサ

23-1, 23-2に☐入力する。

以上に説明したように同期制御回路22によれば2台のマイクロプロセッサ23-1, 23-2の同期を確立し、維持することができる。

次に、第1図における不一致検出回路24と書き込み禁止回路25の動作を第4図と第5図を用いて説明する。第4図において40はマイクロプロセッサ23-1の出力バス108のデータとアドレス、マイクロプロセッサ23-2の出力バス109のデータとアドレスを比較し、一致していれば出力110をハイレベルとするコンパレータ回路、41は書き込み禁止信号110がロウレベル、すなわち2台のマイクロプロセッサが出力するデータまたはアドレスが相異なるとき、ライトストローブ信号251をマスクして当該サイクルでのデータライト動作を禁止するためのANDゲート、45はORゲート43により自己ホールド回路を形成し、不一致の発生を記憶して不一致発生フラグ111を出力するためのフリップフロップ、44はマイクロプロセッサ23-1からのラ

イトストローブ244とマイクロプロセッサ23-2からのライトストローブ245との論理積をとりフリップフロップ45にクロック246として供給する。なお、フリップフロップ45は初期状態では、クリア信号247によりゼロにクリアされる。以上に説明した回路は、第5図に示すタイミングチャートに示すように動作する。すなわち、ライトバスサイクルにおいてデータあるいはアドレスに不一致が発生すると、コンパレータの出力110がロウレベルとなり、ライトストローブがマスクされて当該サイクルでのデータライト動作が禁止され、ライトストローブの後縁のタイミングでフリップフロップ45が1にセットされ不一致発生フラグ111が1となる。

以上に説明した第4図に示す書き込み禁止回路は、ライトストローブの前縁に対してライトデータのセットアップ時間が十分に保証される場合は有効であるが、ライトストローブの後縁に対してライトデータのセットアップ時間、ホールド時間が保証されるタイミング<sup>で</sup>マイクロプロセッサで

はライトストローブをマスクすることができない。このような場合は、第12図に示す回路によりライトストローブをマスクできる。以下、第12図に示す回路の動作を第13図に示すタイミングチャートを用いて説明する。第12図において、80はラッチであり、ライトストローブ251によりマイクロプロセッサバスのアドレスとライトデータをラッチする。81は遅延回路、82はインバータであり、ANDゲート41によりライトストローブ251からラッチ80にラッチされたライトデータ254を書き込むためのライトストローブ252を作成する。この時、ライトストローブ252の幅は遅延回路81での遅延時間で決まる。またANDゲート41は、ラッチ80にラッチされた不一致信号255によりライトストローブをマスクする機能がある。第12図に示す回路によれば、ライトデータを一旦ラッチしてから書き込むので、ライトデータのセットアップ時間、ホールド時間がライトストローブの後縁に対して保証されるマイクロプロセッサに対しても支障な

くライトストローブをマスクすることができる。

次に第6図を用い、上位コントローラとの関係を含めて第1図に示すディスク駆動装置の動作について説明する。まず上位コントローラはディスク駆動装置に対してコマンドを設定し起動する。起動されたディスク駆動装置では、マイクロプロセッサが受け取ったコマンドを解釈し、各部を制御してコマンドを実行する。この過程で2台のマイクロプロセッサの出力したデータ、あるいはアドレスに不一致が発生すると、既に説明したようにディスク駆動装置の動作が凍結され、不一致発生を要因とする割込みとして上位コントローラに通知されるので、上位コントローラはリトライ可能ならば回復処理を行った後リトライするコマンドを設定しディスク駆動装置を起動する。リトライ不可能ならばディスク駆動装置の初期化などの必要な処理を行い、またリトライ回数が許容回数をこえた場合はディスク駆動装置の故障とみなし、切離し等の処置を行う。

以上本発明の第一の実施例として、マイクロ

ロセッサを内蔵するディスク駆動装置において、

マイクロプロセッサを2重化し、マイクロプロセッサの誤動作を早期に確実に検出して、誤動作の影響を最小限に押さえることにより高信頼化を実現するディスク駆動装置について述べた。

しかし第一の実施例では信頼性は大幅に改善されるが、マイクロプロセッサが誤動作した場合は、ディスク駆動装置の動作を凍結し、処理を上位コントローラにまかせるので、システムへの影響が大きく、また、回復処理が困難な場合も起こり得る。そこで、これらの問題解決するためにマイクロプロセッサを3重化した第2の実施例について次に説明する。

第8図、第9図、第10図は本発明の第2の実施例を説明する図である。第8図は本発明の第2の実施例によるディスク駆動装置の構成を示す図、第9図は第8図における多数決回路の一構成例を示す図、第10図は第9図における制御信号発生回路の入出力関係を示す図である。第8図において、23-1、23-2、23-3は同期して動

成と動作について説明する。

第9図において、40-1はマイクロプロセッサ23-1の出力バス108-1のデータとアドレスをマイクロプロセッサ23-2の出力バス108-2のデータ、アドレスと比較し、一致していれば出力261をハイレベルとするコンパレータ、40-2は同様にマイクロプロセッサ23-1の出力とマイクロプロセッサ23-3の出力を比較するコンパレータ、40-3は同様にマイクロプロセッサ23-2の出力とマイクロプロセッサ23-3の出力を比較するコンパレータ、62は3個のコンパレータの出力261、262、263を入力とし、第10図に示す表に従いセクタ61での出力バス選択信号269、2台以上の誤動作により多数決による決定ができないことを示す信号121、1台が誤動作したときの誤動作したマイクロプロセッサの識別コード122、1台が誤動作したことを示す信号270を発生する制御信号発生回路、61は出力バス選択信号269に従い、マイクロプロセッサ23-1だけ

作するマイクロプロセッサ、26はマイクロプロセッサの書き込みサイクルにおいて、各マイクロプロセッサから出力されるデータとアドレスをそれぞれ比較して、多数決により書き込みデータとアドレスを決定し、多数決により決定できない場合はエラーフラグとデータ書き込み禁止信号を生成し、多数決により決定できるがすべてが一致していない場合は、多数決により選択されたデータ、アドレスと異なるデータ、アドレスを出力するマイクロプロセッサを識別し、識別結果を出力する多数決回路、27は多数決回路26から出力される識別結果を蓄え、上位コントローラから内容を読むことのできるエラーロギングメモリである。第2の実施例のディスク駆動装置の動作は、基本的には第一の実施例と同じであるが、マイクロプロセッサが3重化されているので、1台のマイクロプロセッサが誤動作してもディスク駆動装置は動作を継続でき、2台以上のマイクロプロセッサが誤動作して初めて動作が凍結される。次に、第2の実施例に特徴的な多数決回路26の回路構

が誤動作したときマイクロプロセッサ23-2の出力バス108-2を選択し、それ以外のときはマイクロプロセッサ23-1の出力バス108-1を選択して出力するセクタ、63はORゲート66により自己ホールド回路を形成し、2台以上の誤動作を記憶してエラーフラグ123を出力するフリップフロップ、64はORゲート67により自己ホールド回路を形成し、1台の誤動作があつたこと記憶して1台の誤動作があつたことを示すフラグ124を出力するフリップフロップ、65は3台のマイクロプロセッサからのデータストローブの論理積をとって2個のフリップフロップ63、64にセットタイミング268を与えるためのNANDゲートである。

次に、ディスク駆動装置の動作に関連付けて多数決回路26の動作について説明する。同期して動作する3台のマイクロプロセッサの出力がすべて一致していれば3個のコンパレータの出力261、262、263はすべて1となるので制御信号発生回路62の出力269、121、122、270

はすべて0となり、ディスク駆動装置は正常に動作する。1台のマイクロプロセッサだけが誤動作した場合、3個のコンパレータの出力のうち誤動作したマイクロプロセッサの出力が入力される2個のコンパレータの出力が0となる。マイクロプロセッサの誤動作の状況とコンパレータの出力の関係は第10図の表に示す通りであり、制御信号発生回路62は1台の誤動作があつたことを示す信号270を1とし、誤動作したマイクロプロセッサの識別コードを出力する。270が1となるのでフリップフロップ64が1にセットされ、1台の誤動作があつたことがフラグ124によりステータス信号として上位コントローラ1に通知される。またセクタ61では正常なマイクロプロセッサの出力が選択される。この時、誤動作したマイクロプロセッサの識別コードはエラーロギングメモリ27に蓄積される。一方、2台以上の誤動作を示す信号121は0であるから、ディスク駆動装置の動作は継続される。

さらに、2台以上のマイクロプロセッサが誤動

作した場合は、3個のコンパレータの出力がすべて0となるので、2台以上の誤動作を示す信号121が1となり、書き込み禁止回路25で当該サイクルでのデータの書き込みが禁止される。また、フリップフロップ63が1にセットされるので、ディスクへの書き込み動作が抑止され、上位コントローラに割込みにより通知され、3台のマイクロプロセッサも割込みにより停止する。2台以上のマイクロプロセッサが誤動作した場合のこれらの動作は、第一の実施例で2台のマイクロプロセッサの出力に不一致が発生した場合の動作に同じである。

第一の実施例、第二の実施例によるディスク駆動装置は、それぞれ不一致検出回路、多数決回路の診断を行うための機能を持っている。第11図は上位コントローラからの診断手順を示す図である。診断を行うには、まず上位コントローラから診断用コマンドを設定してディスク駆動装置を起動する。ディスク駆動装置の複数のマイクロプロセッサは、診断用コマンドを受け取ると、それぞ

れ異なる診断プログラムを実行する。診断プログラムは複数のマイクロプロセッサの同期を崩すことなく、出力するデータまたはアドレスだけが一致しないように構成されており、所望の不一致パターンを発生させる。その結果、データまたはアドレスの不一致が発生するので上位コントローラはディスク駆動装置からの割込み、あるいはステータスを待ち、所定の応答、あるいは処理が行われたかどうかを調べればよい。

#### 〔発明の効果〕

以上に説明したように、本発明によれば、マイクロプロセッサを内蔵するディスク駆動装置において、マイクロプロセッサのほぼすべての誤動作を検出できるので、ディスク駆動装置の信頼性が大幅に向上する。

また、多数決回路を設けたことにより、高信頼性を実現すると同時に稼働率も高めることができる。

さらに、エラーロギングメモリに誤動作したマイクロプロセッサの識別コードを蓄積することに

より保守性が向上する。

#### 4. 図面の簡単な説明

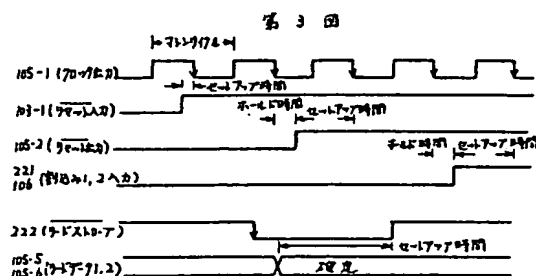
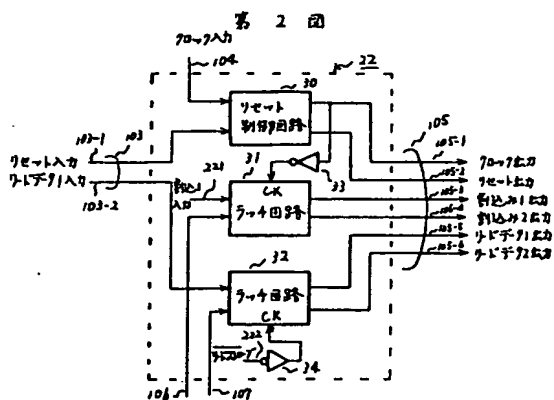
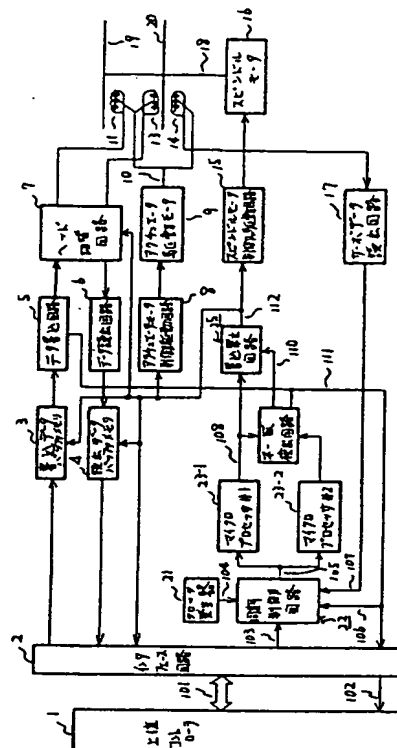
第1図は本発明の第一の実施例によるディスク駆動装置の構成を示す図、第2図は第1図における同期制御回路の回路構成を示す図、第3図は第2図に示す回路の動作を説明するためのタイミングチャートを示す図、第4図は第1図における不一致検出回路24と書き込み禁止回路25の回路構成を示す図、第5図は第4図に示す回路の動作を説明するためのタイミングチャートを示す図、第6図は第1図に示すディスク駆動装置の動作を説明するためのフローチャートを示す図、第7図は従来のディスク駆動装置の構成を示す図、第8図は本発明の第二の実施例によるディスク駆動装置の構成を示す図、第9図は第8図における多数決回路の回路構成を示す図、第10図、第11図は本発明によるディスク駆動装置の診断手順を説明するためのフローチャート、第12図は書き込み禁止回路25<sup>の</sup>もう一つの回路構成を示す図、第13図は第12図に示す回路の動作を説明するた

めのタイミングチャートを示す図である。

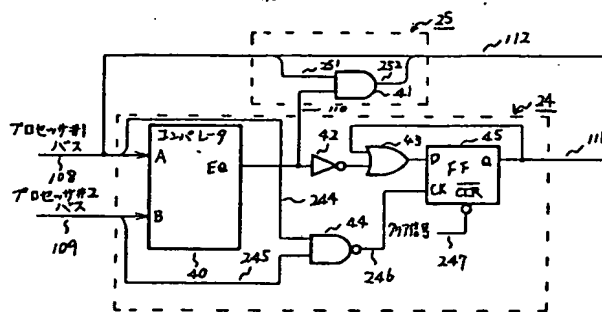
- 1…上位コントローラ 2…インタフェース回路、  
3…書き込みデータバッファメモリ、4…読みだしデータバッファメモリ、5…データ書き込み回路、6…データ読みだし回路、7…ヘッド切り替え回路、8…アクチュエータモータ制御・駆動回路、  
21…クロック発生回路、22…同期制御回路  
…23…マイクロプロセッサ、24…不一致検出回路、25…書き込み禁止回路、26…多数決回路、40…コンパレータ、61…セクタ、62…制御信号発生回路、80…ラッチ、81…遅延回路。

代理人 弁理士 小川勝男

第1図



第4図



第5図

